

ROM ve PLD'lerle ARDIŞIL DEVRE TASARIMI

Ardışıl devreler ROM (Read Only Memory) ve flip-floplar kullanılarak kolaylıkla tasarlanabilir. Mealy türü ardışıl devrelerin genel modeli (Şekil 1) incelenirse, ardışıl devrenin kombinyonel kısmı ROM kullanılarak gerçekleştirilebileceği görülmektedir.

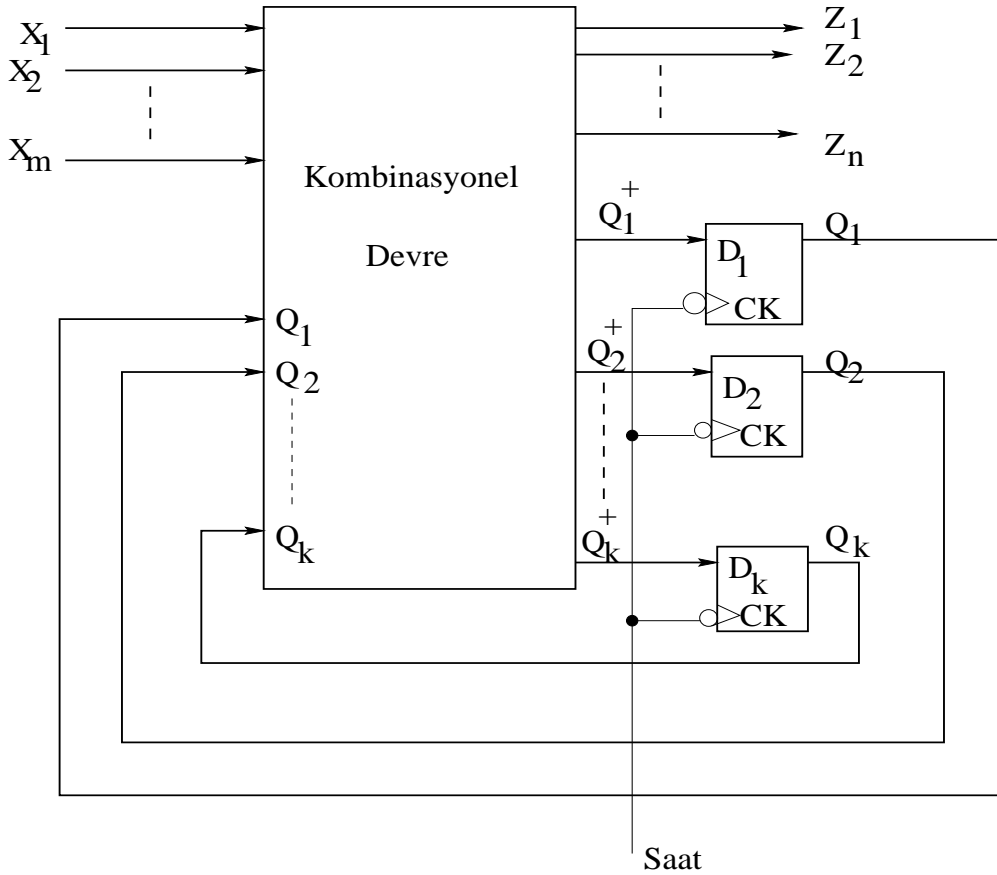


Figure 1: Saatli D flip-flop kullanan Mealy türü ardışıl devrenin genel modeli.

Ardışıl devre tasarımında (Z_1, Z_2, \dots, Z_n) çıkış fonksiyonları, ve $(Q_1^+, Q_2^+, \dots, Q_k^+)$ bir sonraki durum fonksiyonlarını elde etmek için ROM bellek elamenaları kullanılabilir.

Ardışıl devrenin şu andaki durumunu ifade eden (Q_1, Q_2, \dots, Q_k) değerleri D flip-flop kaydedicilerinde tutulur ve D flip-flop'larının çıkışları ROM'un girişine geri besleme yoluyla uygulanarak ardışıl devre tasarımı gerçekleştirilir.

Sonuç olarak, m-girişli, n-çıkışlı ve k-durum değişkenli Mealy türü ardışıl devreyi tasarlayabilmek için, **k-tane** D flip-flop'u ve **m+k** girişli (2^{m+k} kelime) ve **n+k** çıkışlı ROM kullanmak gerekecektir.

Devrenin Tasarımındaki Teori Çalışmaları

Ardışıl devrenin girişine seri hat üzerinden BCD kodunda sayısal değerler uygulanmaktadır. Ardışıl devre girişine seri hat üzerinden uygulanan BCD kodun **+3** fazlasını isaretin girişine uygulandığı anlarla senkroneli olarak, çıkışındaki seri hat üzerinden üretecek tarzda işlem yapması istenmektedir. Bu ardışıl devreyi ROM ve D flip-flop'larını kullanarak tasarlayalım.

Devrenin analizini yaptığımızda elde edilen durum tablosu Tablo 1 de verilmektedir. Tablonun elde edilmesini bu laboratuvarın teorik dersinde verilen ders notlarını yeniden gözden geçirerek bilgilerinizi tazeleyiniz.

Şu andaki Durum	Bir sonraki durum		Şu andaki Çıkış	
	X = 0	X = 1	X = 0	X = 1
A	B	C	1	0
B	D	D	1	0
C	E	E	0	1
D	H	H	0	1
E	H	M	1	0
H	A	A	0	1
M	A	-	1	-

Table 1: ROM ile gerçekleştirilen ardışıl devrenin durum tablosudur.

Tablo 1 verilen durum tablosuna atama deęerlerinin verilerek elde edildięi durum geiř tablosundan Tablo 2 de ROM iin yazılan program tablosu verilmiřtir. ROM programının geiř tablosundan nasıl elde edildięi konusu iin teorik dersin notlarına da bir daha gzden geiriniz.

X	Q_1	Q_2	Q_3	Z	D_1	D_2	D_3
0	0	0	0	1	0	0	1
0	0	0	1	1	0	1	1
0	0	1	0	0	1	0	0
0	0	1	1	0	1	0	1
0	1	0	0	1	1	0	1
0	1	0	1	0	0	0	0
0	1	1	0	1	0	0	0
0	1	1	1	X	X	X	X
1	0	0	0	0	0	1	0
1	0	0	1	0	1	0	0
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	1	0	0	0	1	1	0
1	1	0	1	1	0	0	0
1	1	1	0	X	X	X	X
1	1	1	1	X	X	X	X

Table 2: ROM program tablosu.

DENEYİN YAPILIŐI

1) Devrenin teoriksel özümünü deneye gelmeden önce detaylı olarak gerekleřtiriniz. Teoriksel alıřma sonucunda ROM iin elde edilen Program tablosu Tablo 2’de gösterilmektedir.

2) Tablo 2 verilen program EEPROM entegresinin 000h – 00Fh adresine kaydedilmiřtir.

Kaydedilen bu programı deney setinde elle kontrol edebileceğiniz elemanları da kullanarak aşağıda verilen aşamalara uyarak gerçekleştiriniz.

a) EEPROM'un data çıkışlarını deney düzeneğinde var olan Led ışıklarına bağlayınız.

b) EEPROM'un adres girişlerini yine deney düzeneğindeki anahtarlara (switch) bağlayınız.

c) EEPROM'un besleme ve kontrol uçlarını EEPROM katalog bilgisini inceleyerek gerekli tel bağlantılarını yapınız.

d) Tablo 1 de verilen adres verilerini girerek ROM daki datayı kontrol ediniz.

3) Geri besleme amaçlı kullanılacak D Flip Floplarının (FF) işlevlerini yerine getirip getirmediğini kontrol ediniz. Bunun için a) D FF larının çıkışlarını Led ışıklarına, b) girişlerini anahtarlara, c) Saat, clear ve set girişlerini saat ve anahtarlara bağlayarak girişlerden vereceğiniz değerlere göre FF ların çalışmalarını kontrol ediniz.

4) EEPROM'daki verinin en anlamsız (LSB) 3 çıkış bitlerini D FF'larının girişlerine, FF ların çıkışlarını ROM'un LSB adreslerinden 3 tanesine sırası ile bağlayınız. X girişlerinden saat ile kontrollü olarak vereceğiniz 0/1 girişlerine göre EEPROM data çıkışlarını izleyerek ardışıl devrenin düzgün çalışıp çalışmadığını kontrol ederek çalışmasını raporlayınız.

5) Aynı problemin ardışıl devre çözümünü PLA ile yapılacak olunursa, problemin çözümü sonucunda fonksiyonun çıkış eşitliği ve D Flip-Flop eşitliği;

$$D_1 = Q_1Q'_2 + Q'_1Q_2$$

$$D_2 = Q'_2$$

$$D_3 = Q'_2Q_3 + X'Q_1Q'_2 + XQ'_1Q'_2 + X'Q'_1Q_2Q'_3$$

$$Z = X'Q'_3 + XQ_3$$

Bu eşitliklere karşı düşen PLA tablosu ise Tablo 3'de gösterilmektedir;

Bu tabloda ifade edilen fonksiyonu gerçekleştirmek için 4-girişli, 9-çarpım terimli ve 4-çıkışlı PLA gerekecektir. Bu örnekte olduğu gibi fonksiyonun giriş değişken sayısı az olduğunda, ROM kullanılarak yapılan çözüm PLA kullanılarak yapılan çözümden daha ekonomik olacaktır. Giriş değişken sayısı büyük olduğunda ise PLA'lı çözüm daha

X	Q_1	Q_2	Q_3	Z	D_1	D_2	D_3
-	1	0	-	0	1	0	0
-	0	1	-	0	1	0	0
-	-	0	-	0	0	1	0
-	-	0	1	0	0	0	1
0	1	0	-	0	0	0	1
1	0	0	-	0	0	0	1
0	0	1	0	0	0	0	1
0	-	-	0	1	0	0	0
1	-	-	1	1	0	0	0

Table 3: PLA tablosu.

ekonomik ve kolay olabilmektedir.

SORULAR

Aşağıda verilen soruların cevaplarını deneye gelmeden önce yapmanız gereken teorik çalışmalar aşamasında hazırlayınız.

1) Ardışıl devre ve kombinasyonel devrelerin neler olduğunu, pratik hayat koşullarında kullanılmakta oluna sistemler üzerinden örnekler vererek benzerlik ve farklarını açıklayınız.

2) ROM devre elemanı ardışıl devre midir? ROM'un nasıl çalıştığını kısaca açıklayınız? Deney masasında var olan EEPROM devre elemanında en fazla kaç Byte lık veri kaydedilebilir?

3) Tablo 2'de verilen programı kullanan tüm sistemin çalışmasını istediğiniz bir BCD sayı üzerinde irdeleyerek açıklayınız.

4) Tablo 4'de verilen çok-girişli çok-çıkışlı durum tablosunun ifade ettiği fonk-siyonu ROM ve D flip-flop larını kullanarak gerçekteyiniz.

5) İki katlı bir binada kullanılacak olan asansör için kontrol ünitesi geliştirilmesi istenmektedir. Kontrol edicinin şematiksel blok diyagramı şekil 2'de gösterilmektedir. Asansör içinden birisi, 1. veya 2. kata çıkmak istediğini belirtir düğmeye bastığında, sırası ile FB_1 ve FB_2 girişleri lojik-1 olur. Birinci veya ikinci katta duran asansörü çağırmak için

Q_1Q_2	00	01	10	11	00	10	01	11
S_0	S_3	S_2	S_1	S_0	00	10	11	01
S_1	S_0	S_1	S_2	S_3	10	10	11	11
S_2	S_3	S_0	S_1	S_1	00	10	11	01
S_3	S_2	S_2	S_1	S_0	00	00	01	01

Table 4: Durum tablosu

düğmeye basıldığında, sırası ile $CALL_1$ ve $CALL_2$ lojik-1 olmaktadır. Asansör birinci veya ikinci kata ulaştığında sırası ile FS_1 ve FS_2 girişleri lojik-1 olmaktadır. UP çıkışı asansör kabinini yukarı çıkartmak için, DOWN ise kabini aşağı indirmek için motoru hareketlendiriyor. Ne UP nede DOWN lojik-1 olmayınca asansör hareket etmeyecektir. R_1 ve R_2 latchları resetler, ve DO lojik-1 olur ve asansör kapısı açılır. Kapı açıldıktan ve belirli miktar kapı açık kaldıktan sonra, kapı kontrol mekanizması tarafından kapatılacaktır, ve $DC=1$ 'e setlenir. Tüm giriş işaretlerinin sistem saati ile senkroneli olduğu varsayılmaktadır. Bu kontrol ünitesini PLA veya ROM kullanarak tasarlayınız.

Not: Giriş sayısını azaltmak için saklama devreleri (şekil 2'de gösterildiği gibi) kullanımı düşünülebilir.

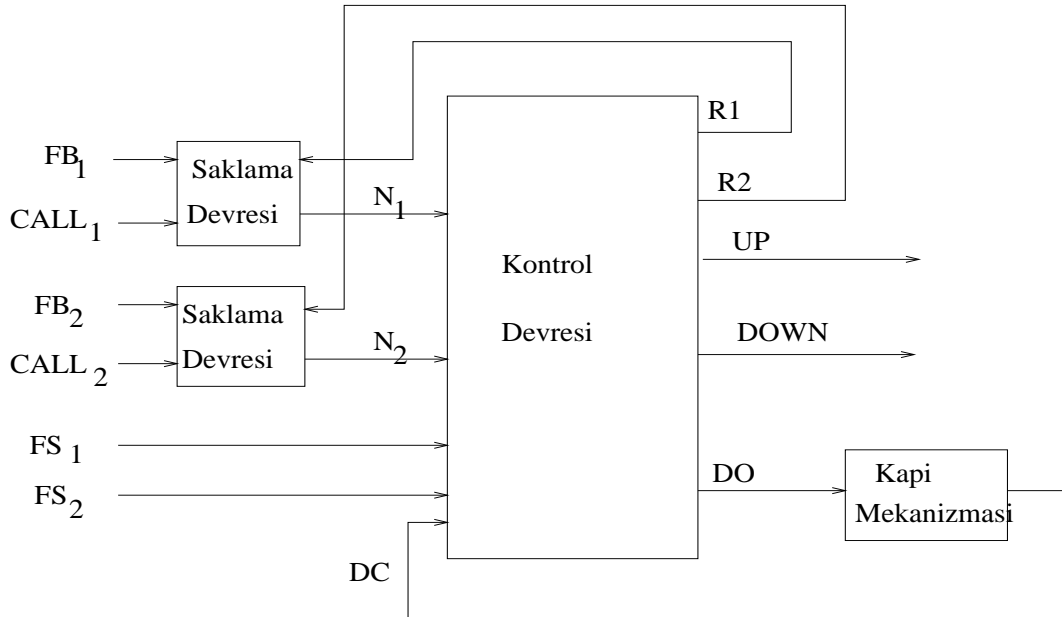


Figure 2: Asansör kontrol edici devresinin şematik blok diyagramı.