

İçindekiler

1	FPGA Tasarım ve Programlama	5
1.1.	FPGA	6
1.1.1.	FPGA Nedir?	6
1.1.2.	FPGA'ların Yapısı	6
1.1.2.1.	Mantık Blokları	7
1.1.2.2.	FPGA'ların Kullanım Alanları	8
1.1.3.	FPGA Üreten Firmalar	8
1.1.4.	Pazar Büyüklüğü	8
1.1.5.	FPGA Tasarım ve Programlama Aşamaları	9
1.1.6.	Genel Tasarım Aşamaları	10
1.1.6.1.	Hiyerarşik Tasarım Metodolojileri	11
1.2.	İhtiyaç Duyulan Donanım ve Yazılımlar	13
1.2.1.	Bilgisayar	13
1.2.2.	Yazılımlar	13
1.2.3.	FPGA Geliştirme Kartı	13
1.3.	FPGA Programlama	14
1.4.	Bölüm Özeti	14
2	VHDL Donanım Tanımlama Dili	15
2.1.	VHDL Dilinin Tarihçesi	16
2.2.	VHDL'in Özellikleri	16
2.3.	VHDL Dilinin Yazım Kuralları	17
2.4.	FPGA Simülatörü Ve İlk VHDL Örneği	19
2.4.1.	ModelSim Uygulamasının Kullanımı	19
2.4.2.	Başlık Bölümü	21
2.4.3.	Kütüphane ve Paketler	22
2.4.4.	Devre Elemanının Tanımı	22
2.4.5.	Devrenin Mimarisi	24
2.5.	Bölüm Özeti	32
2.6.	Alıştırmalar	32
3	VHDL Nesneleri ve Veri Türleri	33
3.1.	VHDL Nesneleri	34

3.1.1.	VHDL Dilinin İsimlendirme Kuralları	34
3.1.2.	VHDL Nesne Sınıfları	35
3.1.2.1.	Sabit Nesneler	36
3.1.2.2.	Sinyaller	36
3.1.2.3.	Değişkenler	38
3.1.2.4.	Dosyalar	39
3.2.	VHDL Dilinde Tanımlı Veri Türleri	39
3.2.1.	Skaler Türler	39
3.2.1.1.	Sayılar	40
3.2.1.2.	Fiziksel Türler	41
3.2.1.3.	Listeli Türler	43
3.2.1.4.	BIT Veri Türü	44
3.2.1.5.	STD_ULOGIC Türü	45
3.2.1.6.	STD_LOGIC Türü	45
3.2.1.7.	Karakter Türü	46
3.2.2.	Bileşik Türler	47
3.2.2.1.	Diziler	47
3.2.2.2.	BIT_VECTOR Veri Türü	47
3.2.2.3.	STD_ULOGIC_VECTOR Türü	48
3.2.2.4.	STD_LOGIC_VECTOR Türü	48
3.2.2.5.	Sözcükler	50
3.2.2.6.	Kayıt Veri Türü	50
3.2.3.	Alt Veri Türleri	51
3.2.4.	Tür Dönüştürme İşlemi	52
3.2.5.	Nesnelerin Nitelikleri	53
3.2.5.1.	Sinyal Nitelikleri	54
3.2.5.2.	Dizi Nitelikleri	55
3.2.5.3.	Listeli Tür Nitelikleri	56
3.2.5.4.	Fonksiyon Türünde Nitelikler	56
3.2.5.5.	Blok Nitelikleri	57
3.2.5.6.	Diğer Nitelikler	57
4	VHDL Dilinin Operatörleri	59
4.1.	Operatörler	60
4.1.1.	Aritmetik Operatörleri	60
4.1.1.1.	Ulama Operatör (&)	62
4.1.2.	Özel Operatörler	62
4.1.3.	Mantık Operatörleri	63
4.1.4.	Kaydırma Operatörleri	64
4.1.5.	Çevirme/Döndürme Operatörleri	66
4.1.6.	Karşılaştırma Operatörleri	66
4.2.	Bölüm Özeti	67
4.3.	Akırtırmalar	67

5	Kombinasyonel Devre Tasarımı	69
5.1.	Kombinasyonel Devreler	70
5.1.1.	Standart Mantıksal Kapılar	70
5.1.1.1.	DEĞİL Kapısı	70
5.1.1.2.	4-bit DEĞİL Kapısı	71
5.1.1.3.	VEYA Kapısı	74
5.1.2.	Karmaşık Tümlüşik Devreler	75
5.1.2.1.	Devrenin Simülasyonu	76
5.1.3.	4-Girişli Tümlüşik Devre	77
5.1.3.1.	Devrenin Simülasyonu	78
5.1.4.	Eş Zamanlı İfadeler	79
5.1.5.	Çoklayıcılar	81
5.1.5.1.	Koşullu Atamalar: WHEN-ELSE Deyimi	82
5.1.5.2.	Seçimli Atamalar: WITH-SELECT İfadesi	83
5.1.6.	Tekleyiciler	85
5.1.7.	Eşlik Kodlama	87
5.1.7.1.	Devrenin Simülasyonu	89
5.1.7.2.	Script Dosyası	89
5.1.8.	Kodlama Devresi	90
5.1.8.1.	Script Dosyası	91
5.1.9.	Kod Çözücü Devre Tasarımı	91
5.1.10.	Toplama Devreleri	93
5.1.10.1.	Ulama/Ekleme Operatörü	93
5.1.10.2.	Generic Deyimi	94
5.1.10.3.	Devrenin Simülasyonu	95
5.1.11.	Karşılaştırma Devresi	95
5.1.12.	Aritmetik Mantık Birimi	97
5.1.13.	GENERATE Deyimi ile Komponentler	99
5.1.13.1.	FOR-GENERATE	100
5.1.13.2.	Parity Kodu Üreten Devre	101
5.1.13.3.	IF-GENERATE	102
5.1.14.	Bloklar	102
5.1.15.	OTHERS İfadesi	105
5.2.	Bölüm Özeti	106
6	Ardışıl Devre Tasarımı	107
6.1.	Ardışıl Devreler	108
6.2.	Kare Sinyaller	110
6.3.	D Flip-Flop Tasarımı	113
6.4.	8-bit Saklayıcı Tasarımı	115
6.5.	Kaydırma Operatörleri	116
6.6.	Çevirme İşlemleri	119
6.7.	Paralel Giriş-Seri Çıkış Saklayıcılar	120
6.8.	Seri Giriş-Paralel Çıkış Kaydediciler	122

6.9. Ardışıl Çoklayıcı Devresi	123
6.9.1. CASE İfadesi	124
6.10. Ardışıl Karşılaştırma Devreleri	125
6.11. Sayıcılar	128
6.12. Döngüler	129
6.12.1. FOR Döngüsü	130
6.12.2. While Döngüsü	131
6.12.3. LOOP Döngüsü	132
6.13. Çarpma Devreleri	133
6.14. Alt Programlar	134
6.14.1. Prosedürler:	135
6.14.2. Fonksiyonlar:	137
6.15. Sonlu Durum Makineleri	138
6.15.1. Durumların Tanımlanması	139
6.15.2. Reset Girişli Moore Makinesi Örneği	142
6.15.3. Moore Tipi Sonlu Durum Makineleri	145
6.15.4. Mealy Tipi Sonlu Durum Makinesi	147
6.15.5. Moore Ve Mealy Makinelerinin Farkları	151
6.16. Sinyaller ve Değişkenler	152
6.16.1. Osilatör Devresi	154
6.16.2. Devrenin Simülasyonu	154
6.17. ROM Bellek Tasarımı	155
6.17.1. Devrenin simülasyonu	156
6.18. RAM Bellek Tasarımı	157
6.19. Özel Tanımlı Fonksiyonlar	160
6.20. Bölüm Özeti	161
7 Simülatörlerin Etkin Kullanımı	165
7.1. TEST BENCH'LER	166
7.1.1. Hata Ayıklama Araçları	166
7.1.2. Saat Darbeli Test Bench Örneği	169
7.1.3. 4-bit Sayıcı Devrenin Test Bench Örneği	170
7.1.4. ASSERT İfadesi	172
7.2. VHDL'de Dosyaların Kullanımı	173
7.2.1. İkili Dosyalar	175
7.2.1.1. İkili Dosya Tanımlama	175
7.2.1.2. Dosya Açma	176
7.2.1.3. İkili Dosyaya Yazma	177
7.2.1.4. İkili Dosyanın Kapatılması	177
7.2.1.5. İkili Dosyaya Yazma Örneği-1	177
7.2.1.6. İkili Dosyaya Yazma Örneği-2	178
7.2.1.7. İkili Dosyaya Yazma Örneği-3	179
7.2.1.8. İkili Dosyaların Okunması	181
7.2.1.9. İkili Dosyadan Okuma Örneği-1	181

7.2.1.10.	İkili Dosyadan Okuma Örneği-2	182
7.2.1.11.	İkili Dosyadan Okuma Örneği-3	183
7.2.1.12.	Bir İkili Dosyadan Okuma-Diğerine Yazma Örneği	185
7.2.2.	Metin Dosya İşlemleri	187
7.2.2.1.	Dosya Açma	187
7.2.2.2.	Metin Dosyadan Okuma	190
7.2.2.3.	Metin Dosyalara Formath Veri Yazma	191
7.2.2.4.	İki Metin Dosya kullanan VHDL Projesi	193
7.2.2.5.	Konsoldan Okuma ve Konsola Yazma	195
7.2.2.6.	Konsoldan Kullanıcı Bilgisini Okuma Örneği	195
7.2.2.7.	Konsoldan Tamsayı Değer Okuma Örneği	196
7.3.	Betik Dosyaların Hazırlanması	197
7.3.1.	Simülasyon Betik Dosyaları	197
7.4.	Bölüm Özeti	201
7.5.	Akırtırmalar	202
8	Simülasyon Çeşitleri	203
8.1.	Simülasyon Türleri	204
8.1.1.	Fonksiyonel Simülasyon	204
8.1.2.	Zamansal Simülasyonlar	205
8.1.2.1.	Kritik Yol	205
8.1.2.2.	Zamansal Simülasyonu Örneği-1	207
8.1.2.3.	Zamansal Simülasyonu Örneği-1	209
8.2.	Bölüm Özeti	212
9	VHDL Dilinde Yapısal Tasarım	215
9.1.	Yapısal Tasarım	216
9.2.	Bileşenler	216
9.2.1.	GENERIC Deyimi	218
9.2.1.1.	GENERIC İfadesinin Kullanımı	218
9.2.2.	GENERATE Deyimi ve Komponentler	219
9.2.2.1.	FOR-GENERATE	220
9.2.2.2.	IF-GENERATE	222
10	VHDL Dilinde Paket ve Kütüphane Oluşturma	225
10.1.	Paketler ve Kütüphaneler	226
10.2.	Yeni Paket Oluşturma	226
10.2.1.	Paketin Kullanılması	228
10.2.1.1.	Devrenin Simülasyonu	229
10.3.	Xilinx Platformunda Kütüphane Oluşturma	229
10.3.1.	Örnek Test Projesi	232
11	QUARTUS II ve ISE UYGULAMALARI ile PROJE GELİŞTİRME	237
11.1.	QUARTUS II Uygulaması ile Proje Geliştirme	238

11.1.1. Yeni Proje Oluşturma	238
11.2. ISE WebPack Uygulamasının Kurulumu	243
11.2.1. ISE WebPack Programının Lisans Ayarı	243
11.2.1.1. Xilinx ISE Uygulaması ile Şematik Tasarım	248
12 Şifreleme Devrelerinin Tasarımı	253
12.1. Şifreleme Yöntemleri	254
12.1.1. Anahtar Türüne Göre Şifreleme Yöntemleri	254
12.1.1.1. Simetrik Şifreleme	254
12.1.1.2. Asimetrik Şifreleme	254
12.1.1.3. Blok Şifreleme	255
12.1.1.4. Seri Şifreleme	255
12.2. RC5 Simetrik Şifreleme Devresi	256
12.2.1. Şifreleme Prosedürü:	256
12.2.1.1. RC5 Algoritmasının Genel Çalışma Prensipleri	256
12.2.1.2. Algoritmada Kullanılan İşlemler	258
12.2.1.3. RC5 Algoritmasının Özellikleri	258
12.2.2. Çözümleme Prosedürü	263
12.2.2.1. Algoritmada kullanılan işlemler	264
12.3. Bölüm Özeti	268
12.4. Alıştırmalar	269
13 K-En Yakın Komşu Algoritmasını Kullanarak Sınıflandırma	271
13.1. VHDL ile K-EYK Projesi	272
13.1.1. Devrenin Simülasyonu	276
14 Filtre Tasarımı	279
14.1. IIR Filtre Tasarımı	280
14.2. FIR Filtre Tasarımı	287
14.3. Bölüm Özeti	290
14.4. Alıştırmalar	291
15 Ekler	293
15.1. CHARACTER Türü	294
15.2. VHDL Dilinin Anahtar Kelimeleri	295
16 Kaynakça	297
16.1. Basılı Kaynakça	297
16.2. İnternet Kaynakçası	299
Dizin	301