

1	2	3	4	Toplam

Karadeniz Technical University // Teknik Üniversitesi
Faculty of Engineering // Mühendislik Fakültesi

Dept. of Comp. Eng. // Bil. Müh. Böl.

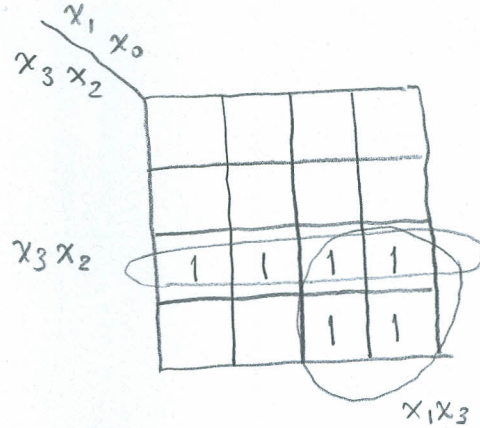
BİL 1007 Mid Term Exam // Ara Sınavı

1. İkili kodlanmış ondalık (BCD) hanenin geçersiz aralıkta olan değerleri için 1 çıkışı üreten bir mantık devresini Karnaugh haritalama yöntemi kullanarak tasarlayınız. // Design a logic circuit to output 1 for invalid range of values of Binary Coded Decimal (BCD) digit.

x_3	x_2	x_1	x_0	y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

geçerli

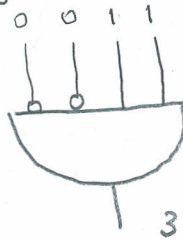
geçersiz



$$y = x_1x_3 + x_2x_3$$

2. İkili kodlanmış ondalık (BCD) hanenin, öğrenci numaranızın **birler hanesine** eşit olması durumunda 1 çıkışı üreten bir kod çözücü mantık devresinin **çıkış ifadesini yazarak** kod çözücü bu **devreyi çiziniz**. Örneğin, 40853 numaralı öğrenci, BCD hanenin yalnız 3 değerine karşı 1 üreten devrenin ifadesini yazmalı ve devresini çizmelidir. // Write the expression of a decoding logic circuit to output 1 for Binary Coded Decimal digit equal to your student number's **ones digit** and draw the decoding logic circuit. For example, a student with number 40853 should write the expression and draw the logic circuit for only 3 value of the BCD digit.

40853 = 3 sayısının kod çözümü için $3_{10} = 0011_2$ değeri algılanmalıdır.



3. 4 bitlik $x_3x_2x_1x_0$ ikili sayısı için, // For a 4 bit binary number $x_3x_2x_1x_0$,

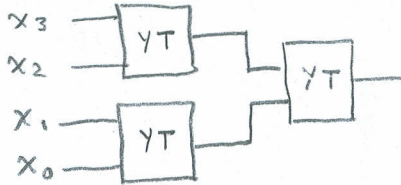
- a. Öğrenci numaranız **tek** ise **tek eşlik** biti, **çift** ise **çift eşlik** biti üreten bir mantık devresinin doğruluk tablosu oluşturunuz, // Construct the truth table of a logic circuit generating **odd parity** bit if your student number is **odd** and **even parity** bit if your number is **even**,

x_3	x_2	x_1	x_0	Tek Eşl.	Çift Eşl.
0	0	0	0	1	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	1	0
0	1	0	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	0	1
1	1	0	0	0	1
1	1	0	1	1	0
1	1	1	0	1	0
1	1	1	1	0	1

→ Ters.

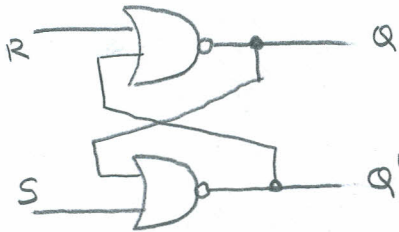
- b. Eşlik bitini üretecek mantık devresini **eşlik biti tanımını** kullanarak tasarlayınız ve çiziniz. Yol Gösterme: n-bitlik ikili bir verideki 1'lerin sayısı, yarım toplayıcıların toplam çıkışları kullanılarak hesaplanabilir. // Design logic circuit of parity bit generator using the **definition of parity bit**. Hint: number of 1's in a n-bit binary number can be computed by using the sum outputs of half carry adders .

Eşlik biti, veri içindeki 1'lerin sayısını eklenecek eşlik biti ile tek veya çift yapacak şekilde seçilir. Bu nedenle veri içindeki 1'lerin toplam sayısı bulunmalı ve bu değer tek ise (en az anlamlı bit 1 ise) çift eşlik biti üretimi için bu değer, bitlerin sayısı çift ise (en az anlamlı bit 0 ise) tek eşlik biti için bu değer, bitlerin sayısını kullanılmamalıdır. En az anlamlı haneyi bulmak için yarım toplayıcı çıkış değerleri kullanılabilir. Bu durumda 4 bit için :



4.

- a. Aktif yüksek girişli bir S-R kilit devresinin şemasını çiziniz // Draw the schematic diagram of a S-R latch with active high inputs,



- b. Kurulması (Set) ve Sıfırlanması (Reset) esnasında gerçekleşen olayları göz önüne alarak, Kurma veya Sıfırlama işareti darbe genişliğinin en kısa süresini kapı gecikme süresi T 'ye bağlı olarak ifade ediniz // Express minimum pulse widths of Set and Reset inputs in terms of gate delay time T considering the events while Setting and Resetting,

Kurma ve sıfırlama sırasında işaret iki kapı üzerinden geçerek kararlı duruma geçişe neden olduğu için en kısa süreli darbe genişliği 2 kapı gecikmesi yani $2T$ olur.

- C. Kur ve Sıfırla girişlerinin aynı anda aktif yapılması durumunda ($S=R=1$) Q ve Q' çıkışlarını değerlendiriniz ve bu çıkış durumunun geçerli olup olmadığını belirtiniz // Evaluate Q and Q' output values for both Set and Reset inputs active at the same time ($S=R=1$) and indicate whether this state of outputs are valid,

$S=R=1$ yapılması durumunda $\mathcal{Q}=\mathcal{Q}'=\emptyset$ olduğundan beklenen $\mathcal{Q}=\overline{\mathcal{Q}'}$ koşulu sağlanamadığı için bu girişler geçersizdir.

- d. EN Yetkilendirme ve D Veri girişi işaretleri olan D tipi bir kilit çıkış değerinin giriş ve yetkilendirme işaretlerine bağlı sözel ifadesini bir cümle olarak veriniz // Express the Q output of a D latch with enable EN and Data D inputs verbally as a sentence depending on the values of data and enable inputs.

EN yetkilendirme girişi aktif ise Q çıkışı D girişini izler. EN aktif değilse, EN'nin aktif olduğu son D değerini tutar.