

1	2	3	4	5	Toplam

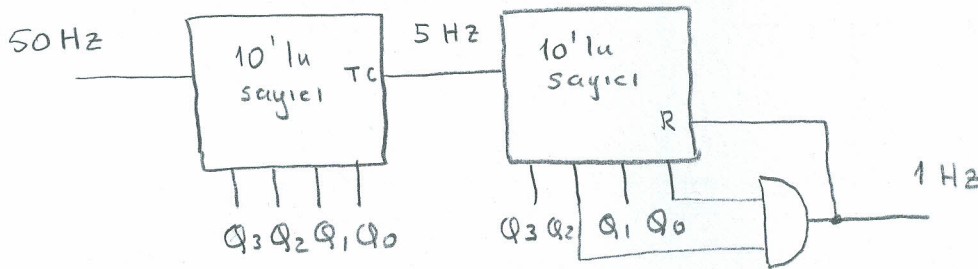
Karadeniz Technical University // Teknik Üniversitesi

Faculty of Engineering // Mühendislik Fakültesi

Department of Computer Engineering // Bilgisayar Mühendisliği Bölümü

BİL 1007 Final Exam // Dönem Sonu Sınavı

1. Design a frequency divider circuit using two 4 bit decade counter integrated circuits and necessary gates to generate 1 Hz clock signal from a 50 Hz source. // 50 Hz kaynak frekansından 1 Hz saat işareti üretecek bir frekans bölücü devresini iki adet 4 bit onlu sayıcı tümdevresi ve gerekli kapıları kullanarak tasarlayınız.



2. Draw the output waveforms of a 4-bit asynchronous counter driven by 1 kHz clock and list all state transitions from 7 to 8 with durations assuming typical 5 ns propagation delay from clock edge to output. // 1 kHz saat ile sürülen 4-bit'lik bir asenkron sayıcının çıkış dalga şekillerini çizerek, 7'den 8'e geçişi sırasında oluşan tüm durum geçişlerini süreleri ile birlikte saat kenarından çıkışa tipik 5 ns yayılma gecikmesi varsayımı ile listeleyiniz.

