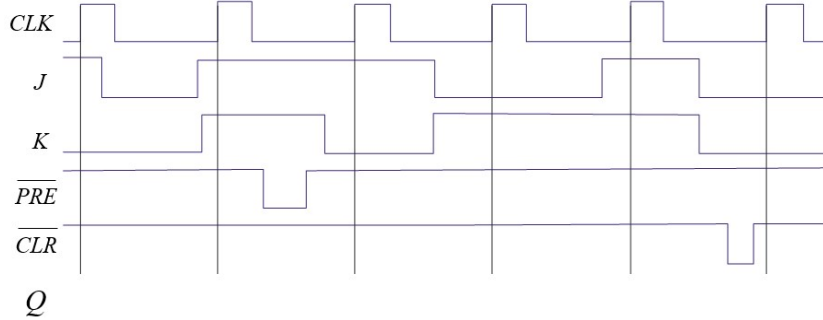


1	2	3	Toplam
1, 2	2, 3	3	PÖÇ

1. a. Draw and indicate the change (asynchronous set or reset, synchronous set or reset, toggle or hold) of the output waveform of a positive edge triggered J-K flip flop with active-low preset and clear inputs given below. **/* Aktif-düşük kurma ve silme girişi, yükselen kenar tetiklemeli J-K flip flop'un çıkış dalga şeklini aşağıda verilen girişler için çizin ve değişimi (asenkon kurma veya sıfırlama, senkon kurma veya sıfırlama, toggle veya tutma) gösteriniz.



b. Draw the input and output waveforms of a retriggerable one-shot multivibrator with $t_w=0.75$ ms for $f=1$ kHz and $f=2$ kHz trigger signals. **/* $t_w=0.75$ ms olan yeniden tetiklenebilen tek-kararlı ikilinin, $f=1$ kHz ve $f=2$ kHz işaretleri ile tetiklendiğinde giriş ve çıkış dalga şekillerini çizin.
f=1kHz f=2kHz

Giriş — Giriş —
Q — Q —

2. Use asynchronous decade counter ICs to design a mod-24 counter to drive tens and ones digit BCD to 7-segment display decoders of a 2-digit digital clock indicating only hours (no minutes or seconds display). **/* Asenkron 10'lu sayıcı tümdevreleri kullanarak iki haneli göstergesinde yalnız saati gösteren (dakika ve saniye göstergesiz) bir sayısal saatin onlar ve birler hanelerinin BCD'den 7-parçalı gösterge kod çözücülerini süren mod-24 sayıcıyı tasarlayınız.

3. From Wikipedia; HDLC

High-Level Data Link Control (HDLC) is a bit-oriented code-transparent synchronous data link layer protocol based on IBM's Synchronous Data Link Control (SDLC) protocol. HDLC is the basis for the framing mechanism used with the Point to Point Protocol (PPP) on synchronous lines, as used by many servers to connect to a WAN, most commonly the Internet. HDLC frames can be transmitted over synchronous or asynchronous serial communication links. Those links have no mechanism to mark the beginning or end of a frame, so the beginning and end of each frame has to be identified. This is done by using a unique sequence of bits as a frame delimiter, or flag, and encoding the data to ensure that the flag sequence is never seen inside a frame. Each frame begins and ends with a frame delimiter. A frame delimiter at the end of a frame may also mark the start of the next frame. On both synchronous and asynchronous links, the flag sequence is binary "01111110", or hexadecimal 0x7E

Vikipedi'den: HDLC

Yüksek-seviye veri bağı denetimi (HDLC), IBM'in senkon veri bağı denetim (SDLC) protokolüne dayalı bit-yönelimli, kod-bağımsız senkon veri bağı katmanı protokoldür. HDLC, çoğu sunucunun geniş-alan ağı (WAN) yani Internet'e senkon hatlar üzerinden bağlandığı noktadan noktaya protokolünde (PPP) kullanılan çerçevelendirme mekanizmasının temelidir. HDLC çerçeveler senkon veya asenkron seri iletişim hatlarından iletilir. Bu hatların, çerçeve başı veya sonunu belirtme için mekanizması olmadığından, çerçeve başı ve sonu tanınmalıdır. Tanıma, çerçeve sınırlayıcı veya bayrak olarak özel bir bit dizisinin kullanılması ve iletilen verinin kodlanarak bayrak dizisinin çerçeve içinde asla görünmemesini sağlayarak yapılır. Her çerçeve, çerçeve sınırlayıcı ile başlar ve biter. Bir çerçeve sonundaki çerçeve sınırlayıcı, izleyen çerçevenin de başını gösterir. Senkon ve asenkron hatlarda çerçeve sınırlayıcı dizi "01111110" ikili (binary) veya 0x7E onaltılıdır (hexadecimal).

Design a synchronous circuit to identify (detect the presence and output 1 for 1 clock period) frame delimiters in synchronous serial communication bit stream that use HDLC protocol using flip-flops and gates. You may assume that there is a clock circuitry which generates clock signal synchronous with incoming serial bit stream. **/* HDLC protokolü kullanan senkon seri haberleşme akışı içindeki çerçeve sınırlayıcıları tanıyan (varlığını tespit eden ve 1 saat periyodu süresince 1 çıkışı üreten) bir senkon devreyi flip-flop'lar ve kapılar kullanarak tasarlayınız. Gelen seri bit dizisi ile senkon saat işareti üreten bir saat devresinin bulunduğunu varsayabilirsiniz.

Note: Use flip flops, gates and intuition to design the circuit even though a synchronous sequential circuit can be designed using formal methods which is not covered in this course. **/* **Not:** Devre bu derste kapsanmayan senkon ardışıl devre formal tasarım yöntemleriyle tasarlanabilse bile flip flop'lar, kapılar ve sezginizi kullanarak tasarlayınız.

Hint: Frame delimiter can be identified by a decoder attached to the output of a serial to parallel convertor. **/* **Yol gösterme:** Çerçeve sınırlayıcı, seri paralel dönüştürücü çıkışına bağlı bir kod çözücü ile tanınabilir.