

Computer Fundamentals January 09	Prof.	Student's signature
Last Name:	First Name:	Student's ID:

Part One, Multiple Choice Test

1. (4 points) The output of a D latch will not change if // Aşağıdaki koşulların hangisinde D kildinin çıkışı değişmezdir

- (a) the output is LOW // çıkış DÜŞÜK ise
- (b) D is LOW // D DÜŞÜK ise
- ☒ (c) Enable is not active // Yetkilendirme aktif değilse
- (d) all of the others // diğer seçeneklerin tümü

2. (4 points) To cause a D flip-flop to toggle, connect the // Bir D flip-flopun anahtarlama (toggle) yapmasına neden olmak için,

- ☒ (a) Complement of Q output to the D input // Q çıkışının tümleyenini D girişine
- (b) Q output to the D input // Q çıkışını D girişine
- (c) clock to the D input // saati D girişine
- (d) clock to the preset input // saati kurma girişine

3. (4 points) A 4-bit parallel-in/parallel-out shift register will store data for // 4 bit paralel giriş / paralel çıkışlı kaydirmali kaydedici veriyi aşağıdakilerden hangi süre kadar saklar

- (a) 2 clock periods // 2 saat dönemi
- ☒ (b) 1 clock period // 1 saat dönemi
- (c) 3 clock periods // 3 saat dönemi
- (d) 4 clock periods // 4 saat dönemi

4. (4 points) Assume serial data is applied to a 8-bit shift register. The clock frequency is 20 MHz. The first data bit will show up at the output in // Seri veri bitlerinin 8 bitlik bir kaydirmali kaydediciye girişten uygulandığını varsayın. Saat frekansı 20 MHz'dir. İlk veri biti, çıkışta aşağıdaki sürelerin hangisinde çıkar

- (a) 200 ns
- (b) 50 ns
- (c) 800 ns
- ☒ (d) 400 ns

5. (4 points) A 4-stage cascaded flip flops with clock inputs of each connected to the Q output of the previous is an example of // Saat girişleri bir önceki katin Q çıkışına bağlı ard arda (kaskot) bağlı 4 kademeli flip floplar

- ☒ (a) an asynchronous counter // eşzamanli olmayan (asenkrone) sayici

(b) a synchronous counter // eşzamanli (senkrone) sayici

(c) a BCD counter // BCD sayici

(d) none of them // hiç biri

6. (4 points) For transmission, data from a UART is sent in // İletim için kullanılan UART'dan çıkan veri

(a) synchronous parallel form // eşzamanli paralel biçimdedir

(b) can be either asynchronous or synchronous // eşzamanli olmayan veya eşzamanli olabilir

☒ (c) asynchronous serial form // eşzamanli olmayan seri biçimdedir

(d) none of them // hiç biri

7. (4 points) The time interval required for the input levels to remain steady to a flip-flop after the triggering edge in order to reliably activate the device is called // Flip-flop girişlerinin güvenilir bir şekilde etki etmesi için tetikleme kenarından sonra değişmeden kalma zaman aralığı

(a) set-up time // kurma süresi

☒ (b) hold time // tutma süresi

(c) t_{PLH}

(d) t_{PHL}

8. (4 points) Assume the clock frequency for a 4-bit binary counter is 80 kHz. The output frequency of the fourth stage (Q_3) is // 4 bitlik bir ikili sayaç için saat frekansının 80 kHz olduğunu varsayın. Dördüncü aşamanın (Q_3) çıkış frekansı

(a) 10 kHz

☒ (b) 5 kHz

(c) 320 kHz

(d) 20 kHz

9. (4 points) For a J-K flip-flop with active-low Preset and Clear inputs, the number of inputs that are asynchronous is // Aktif-düşük Kurma ve Silme girişlerine sahip bir J-K flip-flop için eşzamanli olmayan girişlerin sayısı

(a) 3

☒ (b) 2

(c) 1

68 points

- (d) 4
10. (4 points) A possible sequence for a 4-bit ring counter is // 4-bit'lik halka sayıcının olası çıkışları
- (a) ..., 0000, 0001, 0010, ...
- (b) ..., 0001, 0011, 0111, ...
- (c) ..., 1111, 1110, 1101, ...
- (d) ..., 1000, 0100, 0010, ...
11. (4 points) Input frequency to two cascaded Mod-16 counters is 256 Hz. The output frequency will be // Ardarda (kaskot) bağlı iki Mod-16 sayıcının giriş frekansı 256 Hz'dir. çıkış frekansı
- (a) 16 Hz
- (b) 65 kHz
- (c) None of them
- (d) 1 kHz
12. (4 points) The Q_0 output of a 3-bit asynchronous counter // 3 bitlik bir eşzamananli olmayan sayacın Q_0 çıkışı
- (a) has a higher frequency than Q_1 or Q_2 // Q_1 ve Q_2 çıkışlarından daha yüksek frekanslıdır
- (b) changes on every clock pulse // her saat darbesinde değişir
- (c) is present before Q_1 or Q_2 // Q_1 ve Q_2 den önce vardır
- (d) all of them // diğer seçeneklerin hepsi
13. (4 points) The time interval required after an input signal has been applied for the resulting output signal to change from LOW to HIGH is called // Elde edilen çıkış sinyalinin DÜŞÜK'ten YÜKSEK'e değişmesi için bir giriş sinyali uygulandıktan sonra gereken zaman aralığı
- (a) set-up time // kurma süresi
- (b) t_{PHL}
- (c) t_{PLH}
- (d) hold time // tutma süresi
14. (4 points) An advantage of a ring counter over a Johnson counter is that the ring counter // Halka sayacın bir Johnson sayacına göre avantajı, halka sayacının
- (a) has more possible states for a given number of flip-flops // belirli sayıda flip-flop için daha fazla olası durumu vardır
- (b) is cleared after each cycle // her dönem (periyot) sonunda sıfırlanmasıdır
- (c) is self-decoding // kendiliğinden çözülmüş kodlu olmasıdır
- (d) allows only one bit to change at a time // bir seferde yalnız bir bit değişimine izin vermesidir
15. (4 points) A 4-bit binary counter has a terminal count of // 4 bitlik bir ikili sayacın sayacağı en büyük (terminal count) sayı
- (a) 10
- (b) 16
- (c) 4
- (d) 15
16. (4 points) A retriggerable one-shot with an active HIGH output has a pulse width of 20 ms and is triggered from a 60 Hz line. The output will be a // Aktif YÜKSEK çıkışlı yeniden tetiklenebilir tek kararlı devre 20 ms darbe genişliğine sahiptir ve 60 Hz'lik bir işarette tetiklenmektedir. çıkışı
- (a) series of 20 ms pulses // 20.0 ms darbeler dizisi
- (b) constant LOW // devamlı DÜŞÜK
- (c) constant HIGH // devamlı YÜKSEK
- (d) series of 16.7 ms pulses // 16.7 ms darbeler dizisi
17. (4 points) Cascaded toggle flip flops with clock inputs connected to the previous stage's Q output is a // önceki katin Q çıkışına bağlı saat girişleri bağlı ardarda (kaskot) flip floplar
- (a) frequency divider // frekans bölücü
- (b) astable multivibrator // Kararsız titreşen devre
- (c) frequency multiplier // frekans çarpıcı
- (d) data storage // veri saklama device

Part two, Asynchronous Counter Design

Design and draw a decade asynchronous counter using positive edge triggered D flip flops with Preset and Clear inputs // Pozitif kenar tetiklemeli, Kurma ve Silme girişleri olan D flip-floplar kullanarak dekad sayıcı tasarlayınız ve çiziniz.

