

Bilgisayarın Temelleri November 23	Prof.	Student's signature
Last Name:	First Name:	Student's ID:

Birinci Bolum, Coktan Secmeli Test

- (4 points) A 2-input gate produces a HIGH output only when the inputs disagree. This type of gate is a(n) // 2 giriřli bir kapi, yalnızca giriřler aynı olmadığında YÜKSEK çıkış üretir. Bu kapi türü
 (a) ✓ none // hiçbir
 (b) AND gate // VE kapi
 (c) XNOR gate // AYRICALIKLI VEYADEĞİL kapi
 (d) NOR gate // VEYADEĞİL kapi
 (e) OR gate // VEYA kapi
- (4 points) In many use cases, Programmable Logic Devices (PLDs) are used instead of fixed function logic because // Birçok kullanım durumunda, sabit fonksiyon mantığı yerine Programlanabilir Mantik Cihazları (PLD'ler) kullanılır, çünkü
 (a) cost less than equivalent fixed function logic as the complexity increase // karmařıklık arttikça eşdeğer sabit fonksiyon mantığından daha düşük maliyet
 (b) they can be programmed many times allowing design changes without hardware modification // donanim deęiřiklięi olmadan tasarim deęiřikliklerine izin vererek birçok kez programlanabilirler
 (c) Hardware Description Languages (HDL) and Computer Aided Design (CAD) tools can greatly speed up design process // Donanim Tanımlama Dilleri (HDL) ve Bilgisayar Destekli Tasarım (CAD) araçları tasarım sürecini büyük ölçüde hızlandırabilir
 (d) occupy less printed circuit board (PCB) space and consume less energy than fixed function logic for the same task // daha az baskılı devre kartı (PCB) alanı kaplar ve aynı görev için sabit fonksiyon mantığından daha az enerji tüketir
 (e) ✓ all of them // hepsi
- (4 points) The delay to compute 2's complement of an n-bit binary number is // n-bitlik bir ikili sayının 2'ye tümleyenini hesaplama gecikmesi
 (a) $n \times \text{NOT gate delay} + 1\text{-bit adder delay}$ // $n \times \text{NOT kapi gecikmesi} + 1\text{-bit toplayıcı gecikmesi}$
 (b) ✓ $1 \times \text{NOT gate delay} + n \times 1\text{-bit adder delay}$ // $\text{NOT kapi gecikmesi} + n \times 1\text{-bit toplayıcı gecikmesi}$
 (c) $\text{NOT gate delay} + 1\text{-bit adder delay}$ // $\text{NOT kapi gecikmesi} + 1\text{-bit toplayıcı gecikmesi}$
 (d) $n \times \text{NOT gate delay} + n \times 1\text{-bit adder delay}$ // $n \times \text{NOT kapi gecikmesi} + n \times 1\text{-bit toplayıcı gecikmesi}$
 (e) none // hiçbir
- (4 points) The required logic for a PLD can be specified in an Hardware Description Language by // Bir PLD için gerekli mantık, bir Donanim Tanımlama Dili'nde řu řekilde belirtilebilir:
 (a) state diagrams // durum çizgeleri
 (b) text entry // metin giriř
 (c) ✓ all of the above // hepsi
 (d) schematic entry // řema giriř
- (4 points) Adjacent cells on a Karnaugh map differ from each other by // Bir Karnaugh haritasındaki bitişik hücreler birbirinden řu řekilde farklıdır:
 (a) two variable // iki deęiřken
 (b) ✓ one variable // tek deęiřken
 (c) three variable // üç deęiřken
 (d) four variable // dört deęiřken
 (e) answer depends on the size of the map // yanıt haritanın boyutuna baęlıdır
- (4 points) To implement the SOP expression $X = A'BC' + AB'D + BD'E$ types of gates that are needed // $X = A'BC' + AB'D + BD'E$ SOP ifadesini uygulamak için gereken kapılar
 (a) 4 NOT, 3 3-input AND and a 3-input NOR // 4 TÜMLEME, 3 adet 3-giriřli VE ve bir 3-giriřli VEDEĞİL
 (b) ✓ 4 NOT, 3 3-input AND and a 3-input OR // 4 TÜMLEME, 3 adet 3-giriřli VE ve bir 3-giriřli VEYA
 (c) 4 NOT, 3 3-input AND and a 3-input NAND // 4 TÜMLEME, 3 adet 3-giriřli VE ve bir 3-giriřli VEDEĞİL
 (d) 4 NOT and 4 3-input AND // 4 TÜMLEME ve 4 adet 3-giriřli VE
 (e) none // hiçbir
- (4 points) The fractional binary number 0.0101 has a decimal value of // 0.0101 kesirli ikilik sayının ondalık deęeri
 (a) ✓ 0,3125
 (b) 0,25

52 points

- (c) none // hiçbir
- (d) 0,0625
- (e) 0,3175
8. (4 points) Which of the following data transfer techniques is incorrect for computers with PCI-e expansion bus // PCI-e genişletme veri yoluna sahip bilgisayarlar için aşağıdaki veri aktarım tekniklerinden hangisi yanlıştır?
- (a) Serial data transfer between computer and a printer attached to a USB port // Bilgisayar ve USB bağlantı noktasına bağlı bir yazıcı arasında seri veri aktarımı
- (b) Parallel data transfer between memory (RAM) and microprocessor (CPU) // Bellek (RAM) ve mikro işlemci (CPU) arasında paralel veri aktarımı
- (c) Multi channel serial data transfer between memory and a Graphics Processing Unit (GPU) card // Bellek ve Grafik İşlem Birimi (GPU) kartı arasında çok kanallı seri veri aktarımı
- (d) Serial data transfer between two computers over the ethernet cable // Ethernet kablosu üzerinden iki bilgisayar arasında seri veri aktarımı
- (e) ✓ Serial data transfer between memory (RAM) and microprocessor (CPU) // Bellek (RAM) ve mikro işlemci (CPU) arasında seri veri aktarımı
9. (4 points) In VHDL code, the two main parts are called the // VHDL kodunda, iki ana bölümün adları
- (a) ✓ entity and the architecture // varlık ve mimari
- (b) I/O and the module // G/Ç ve modül
- (c) none // hiçbir
- (d) port and the module // uçlar ve modül
- (e) port and the architecture // uçlar ve mimari
10. (4 points) A standard SOP Boolean expression is // Standart bir SOP Boole ifadesi
- (a) has most of the variables in the domain in every term // her terimde problem uzayındaki değişkenlerin çoğu vardır
- (b) contains only one product term // tek çarpım terim içerir
- (c) contains only one sum term // tek toplam terim içerir
- (d) ✓ none // hiçbir
- (e) the minimum logic expression // en sade (minimum) mantik ifadesi
11. (4 points) What is the maximum frequency of a repetitive pulse if both rise and fall times are 10ns // Eğer tekrarlanan darbenin yükselme ve düşme süreleri 10ns ise en büyük frekansı
- (a) 10 MHz
- (b) 20 MHz
- (c) 30 MHz
- (d) ✓ 50 MHz
- (e) 40 MHz
12. (4 points) Assume an AOI expression is $(AB + CD)'$. The equivalent POS expression is // Bir AOI (VE VEYA TÜMLEME) ifadesinin $(AB + CD)'$ olduğunu varsayın. Eşdeğer POS ifadesi
- (a) $(A + B)(C + D)$
- (b) ✓ $(A' + B')(C' + D')$
- (c) $(AB)' + (CD)'$
- (d) none // hiçbir
- (e) $(A + B)'(C + D)'$
13. (4 points) Which of the following limits the speed of parallel data transmission // Aşağıdakilerden hangisi paralel veri iletiminin hızını sınırlar?
- (a) Wire resistance // Tel direnci
- (b) Interference among wires // Teller arası girişim
- (c) ✓ Wire length dependent unequal signal propagation delays // Tel boyuna bağlı eşit olmayan yayılma gecikmesi
- (d) Stray capacitance among wires // Teller arası kaçak kapasite
- (e) Wire inductance // Tel endüktansı

İkinci Bolum, Sayısal Devre Tasarımı

To prevent accidents, cars should not be driven until all doors are closed. There are audio and visual alerts to inform passengers about open doors. For a 4-door car, design a combinational logic circuit that will output a binary code corresponding to number of open doors. You can assume that a properly closed door switch generates high output. Use x_i for inputs and y_i for output bits. a. Construct the truth table considering all door combinations and minimum number of output bits to represent all these combinations. b. Draw Karnaugh maps of each bit of output and indicate groups by drawing. c. Write simplified boolean expression for each bit of output using Karnaugh maps.

Kazaları önlemek için tüm kapılar kapanana kadar araba kullanılmamalıdır. Açık kapılar hakkında yolcuları bilgilendirmek için sesli ve görsel uyarılar vardır. 4 kapılı bir araba için, açık kapıların sayısına karşılık gelen bir ikili kod üretecek bir kombinasyonel mantık

devresi tasarlayın. Düzgün kapatılmış bir kapi anahtarının yüksek çıkış ürettiğini varsayabilirsiniz. Girişler için x_1 ve çıkış bitleri için y_1 kullanın.

a. Tüm kapi kombinasyonlarını ve tüm bu kombinasyonları temsil etmek için minimum çıkış biti sayısını göz önünde bulundurarak doğruluk tablosunu oluşturun.

b. Her çıktı bitinin Karnaugh haritalarını çizin ve grupları çizerek belirtin.

c. Karnaugh haritalarını kullanarak her çıktı biti için basitleştirilmiş boole ifadesi yazın.

a. Kapi anahtarlarından gelen işaretler x_0, x_1, x_2 ve x_3 olarak adlandırılırsa, tüm kapi olasılıkları doğruluk tablosuna yerleştirilir. 0-4 arası 5 durum $\Rightarrow \log_2 5 \geq 3$

x_3	x_2	x_1	x_0	Açık kapi sayısı	y_2	y_1	y_0
0	0	0	0	4	1	0	0
0	0	0	1	3	0	1	1
0	0	1	0	3	0	1	1
0	0	1	1	2	0	1	0
0	1	0	0	3	0	1	1
0	1	0	1	2	0	1	0
0	1	1	0	2	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	3	0	1	1
1	0	0	1	2	0	1	0
1	0	1	0	2	0	1	0
1	0	1	1	1	0	0	1
1	1	0	0	2	0	1	0
1	1	0	1	1	0	0	1
1	1	1	0	1	0	0	1
1	1	1	1	0	0	0	0

b. Tüm çıkış bitleri için Karnaugh haritası ile indirgeme yapılır.

y_2 için

x_1, x_0	x_3, x_2	1	0	0	0
0	0	0	0	0	0
0	1	0	0	0	0
1	0	0	0	0	0
1	1	0	0	0	0

y_1 için

x_1, x_0	x_3, x_2	0	1	1	1
0	0	1	1	0	1
0	1	1	0	0	0
1	0	1	1	0	1
1	1	0	0	0	0

y_0 için

x_1, x_0	x_3, x_2	0	1	0	1
0	0	1	0	1	0
0	1	0	1	0	1
1	0	1	0	1	0
1	1	0	0	0	0

c. $y_2 = \bar{x}_0 \bar{x}_1 \bar{x}_2 \bar{x}_3$

$$y_1 = x_0 \bar{x}_2 \bar{x}_3 + x_0 \bar{x}_1 \bar{x}_3 + \bar{x}_0 x_2 \bar{x}_3 + \bar{x}_0 \bar{x}_1 x_3 + \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_0 x_1 \bar{x}_2$$

$$y_0 = x_0 \bar{x}_1 \bar{x}_2 \bar{x}_3 + \bar{x}_0 x_1 \bar{x}_2 \bar{x}_3 + \bar{x}_0 \bar{x}_1 x_2 \bar{x}_3 + x_0 x_1 x_2 \bar{x}_3 + x_0 \bar{x}_1 x_2 x_3 + \bar{x}_0 x_1 x_2 x_3 + \bar{x}_0 \bar{x}_1 \bar{x}_2 x_3 + x_0 x_1 \bar{x}_2 x_3$$